

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

**THIS PAGE BLANK (USPTO)**  
**BEST AVAILABLE COPY**

## SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP11330936  
 Publication date: 1999-11-30  
 Inventor(s): NAKANE HIROYUKI; SAITO HIROSHI  
 Applicant(s):: HITACHI LTD; HITACHI ULSI SYSTEMS CO LTD  
 Requested Patent: ☐ JP11330936  
 Application Number: JP19980125653 19980508  
 Priority Number(s):  
 IPC Classification: H03K17/16 ; H03K17/687 ; H03K19/0175  
 EC Classification:  
 Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To reduce inductance induced noise at the time of inverting output while holding high speed of the inverting output operation of an output buffer.  
**SOLUTION:** Driving circuits 3 and 4 which drive control terminals of output transistors(TR) (MP1, MN1) constituting the output buffer 2 are decreased in driving capability to reduce the output current variation rate at the time of the output inverting operation of the output buffer, thereby reducing noise induced through an inductance in proportion to the current variation rate. At this time, delay of the output inverting operation accompanying the reduction of the driving capability of the driving circuits 3 and 4 is compensated through positive feedback operation by feedback control TRs MN3 and MP3. The feedback control TRs MN3 and MP3 perform positive feedback control over the conductances of the output TRs, having the control terminals coupled with external terminals, to the control terminals of the output TRs.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (COPY)  
BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330936

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 3 K 17/16  
17/687  
19/0175H 0 3 K 17/16  
17/687  
19/00H  
F  
1 0 1 F

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平10-125653

(22) 出願日 平成10年(1998) 5 月 8 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町 5 丁目22番 1 号

(72) 発明者 中根 裕之

東京都小平市上水本町 5 丁目22番 1 号 株式会社日立超エル・エス・アイ・システムズ内

(74) 代理人 弁理士 玉村 静世

最終頁に続く

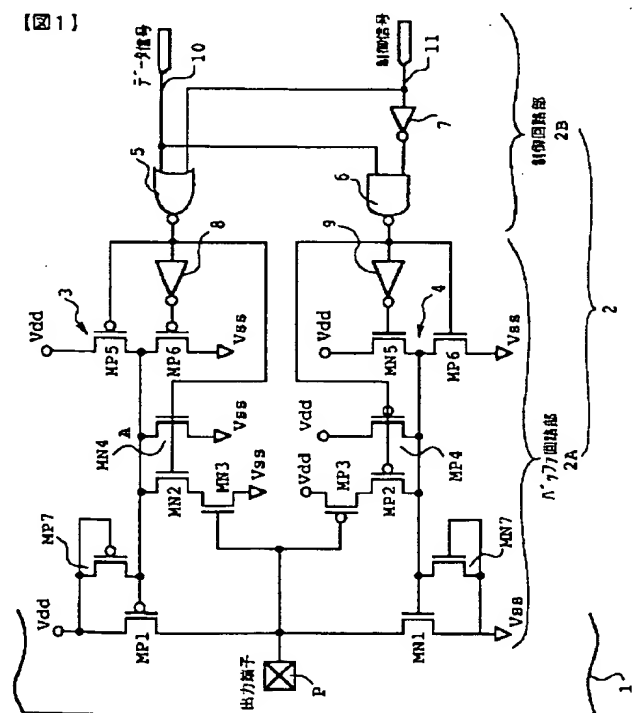
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 出力バッファの反転出力動作の高速性を維持しつつ、反転出力時のインダクタンス誘導性ノイズを低減できるようにする。

【解決手段】 出力バッファ (2) を構成する出力トランジスタ (MP1, MN1) の制御端子を駆動する駆動回路 (3, 4) の駆動能力を小さくして、出力バッファの出力反転動作時における出力電流変化率を小さくし、電流変化率に比例してインダクタンスを介し誘導されるノイズを低減する。このとき、前記駆動回路の駆動能力低減に伴う出力反転動作の遅延を、帰還制御トランジスタ (MN3, MP3) による正帰還動作で補償する。帰還制御トランジスタは、外部端子に制御端子が結合され出力トランジスタの制御端子に対して当該出力トランジスタのコンダクタンスを正帰還制御する。

【図1】



**【特許請求の範囲】**

【請求項1】 出力バッファを有する半導体集積回路であって、前記出力バッファは、外部端子に結合された出力トランジスタと、前記外部端子に制御端子が結合され前記出力トランジスタの制御端子に対して当該出力トランジスタのコンダクタンスを正帰還制御する帰還制御トランジスタと、を含む半導体集積回路。

【請求項2】 前記出力トランジスタの制御端子を駆動する駆動トランジスタを有し、前記出力トランジスタに対して駆動トランジスタのサイズは $1/10 \sim 1/20$ である請求項2記載の半導体集積回路。

【請求項3】 出力バッファを有する半導体集積回路であって、前記出力バッファは、外部端子に結合されブッシュ・プル動作される第1出力トランジスタ及び第2出力トランジスタと、前記第1出力トランジスタの制御端子に結合され第1出力トランジスタのオン状態に同期してオン状態にされる第1ゲートトランジスタと、前記第1ゲートトランジスタに直列接続されると共に前記外部端子に制御端子が結合され前記第1出力トランジスタの制御端子に対して当該第1出力トランジスタのコンダクタンスを正帰還制御可能とする第1帰還制御トランジスタと、前記第1出力トランジスタを駆動する第1駆動インバータと、前記第2出力トランジスタの制御端子に結合され第2出力トランジスタのオン状態に同期してオン状態にされる第2ゲートトランジスタと、前記第2ゲートトランジスタに直列接続されると共に前記外部端子に制御端子が結合され前記第2出力トランジスタの制御端子に対して当該第2出力トランジスタのコンダクタンスを正帰還制御可能とする第2帰還制御トランジスタと、前記第2出力トランジスタを前記第1出力トランジスタと相補的に駆動可能とする第2駆動インバータと、を含む半導体集積回路。

【請求項4】 中央処理装置と、バスアクセスを起動するバスステートコントローラと、外部とインタフェースされる入出力回路とを1個の半導体基板に備えてマイクロコンピュータ化され、前記入出力回路に前記出力バッファが含まれて成る請求項1乃至3の何れか1項に記載の半導体集積回路。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、半導体集積回路における出力バッファの出力信号切り替わり時に発生するノイズを低減する技術に関し、特に、多ピンで高速動作を要するデータ処理用若しくは通信制御用の半導体集積回路に適用して有効な技術に関するものである。

**【0002】**

【従来の技術】 半導体集積回路において出力バッファの出力信号が切り替わるとき、出力端子には電流変化を生ずる。半導体集積回路の外部端子に接続されるボンディングワイヤやリードフレームなどは無視し得ないインダ

クタンス成分を有する。したがって、変化率の大きな電流変化は前記インダクタンス成分を介してノイズを誘導させる。

【0003】 そのようなノイズを低減するには、インダクタンス成分を減少させ、また、出力電流の変化率を小さくすればよい。すなわち、半導体集積回路において、同時に出力反転される出力バッファの数が多いほど、また、出力反転の動作速度が速いほど、そして出力の負荷容量成分が大きいほど、出力バッファによる出力反転時の電流変化 ( $di/dt$ ) が大きくなる。更に、半導体集積回路にはそのパッケージ、そしてソケットに不所望なインダクタンス成分が寄生する。これを考慮すれば、半導体集積回路のパッケージの形状や、電源ピンの配置を工夫して、インダクタンス成分を減少させることが考えられる。例えば、出力回路の近傍に電源ピンを配置すること、そして、パッケージの出力ピンの数を少なくする、出力電圧振幅を小さくする、出力容量成分を小さくする、ソケットなど誘導性のある部品を極力使用しないようにする、といったことを考慮することができる。

**【0004】**

【発明が解決しようとする課題】 しかしながら、インダクタンス成分の低減と言う点は、半導体集積回路の集積度の向上、システムLSI化の要請、などによる半導体集積回路の多ピン化傾向に反することになる。また、レイアウト上の制約などによって出力バッファの近傍に必ずしも電源ピンを配置できるとは限らない。

【0005】 本発明の目的は、多ピンであっても、また、高速出力動作されるべきものであっても、出力バッファの出力信号切り替わり時にインダクタンス成分を介して発生されるノイズを低減できる半導体集積回路を提供することにある。

【0006】 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

**【0007】**

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0008】 すなわち、外部端子 (P) に結合された出力トランジスタ (MP1) と、前記外部端子に制御端子が結合され前記出力トランジスタの制御端子に対して当該出力トランジスタのコンダクタンスを正帰還制御する帰還制御トランジスタ (MN3) とを含む構成を、半導体集積回路の前記出力バッファ (2) に採用する。出力バッファの出力反転動作時、帰還制御トランジスタは、出力反転動作の確定を早めるように作用する。したがって、出力トランジスタの制御端子を駆動する駆動トランジスタ (Mp5, MP6) のサイズ若しくは駆動能力を小さくしても、出力反転動作の遅れは最小限に抑えることが可能になる。このとき、出力トランジスタの制御端

子を駆動する駆動トランジスタのサイズ若しくは駆動能力が小さければ、出力反転動作時における出力トランジスタに流れる電流変化は比較的小さく抑えられる。電流変化率が小さければ、その電流変化率に比例してインダクタンス成分で誘導されるノイズを低減できる。

【0009】このように、前記出力トランジスタの制御端子を駆動する駆動トランジスタのサイズ若しくは駆動能力を小さくして出力反転動作の開始時点における出力電流変化率を小さくし、電流変化率に比例してインダクタンス成分で誘導されるノイズを低減し、このとき、駆動トランジスタのサイズ若しくは駆動能力の低減に伴う出力反転動作の遅延を、帰還制御トランジスタで補償する。これを実現するための駆動トランジスタのトランジスタサイズは、例えば、前記出力トランジスタに対して  $1/10 \sim 1/20$  とすることができる。

【0010】更に具体的な態様の出力バッファは、外部端子に結合されプッシュ・プル動作される第1出力トランジスタ (MP1) 及び第2出力トランジスタ (MN1) と、前記第1出力トランジスタの制御端子に結合され第1出力トランジスタのオン状態に同期してオン状態にされる第1ゲートトランジスタ (MN2) と、前記第1ゲートトランジスタに直列接続されると共に前記外部端子に制御端子が結合され前記第1出力トランジスタの制御端子に対して当該第1出力トランジスタのコンダクタンスを正帰還制御可能とする第1帰還制御トランジスタ (MN3) と、前記第1出力トランジスタを駆動する第1駆動インバータ (3) と、前記第2出力トランジスタの制御端子に結合され第2出力トランジスタのオン状態に同期してオン状態にされる第2ゲートトランジスタ (MP2) と、前記第2ゲートトランジスタに直列接続されると共に前記外部端子に制御端子が結合され前記第2出力トランジスタの制御端子に対して当該第2出力トランジスタのコンダクタンスを正帰還制御可能とする第2帰還制御トランジスタ (MP3) と、前記第2出力トランジスタを前記第1出力トランジスタと相補的に駆動可能にする第2駆動インバータ (4) と、を含んで構成することができる。

【0011】この態様の発明によれば、第1及び第2駆動インバータの駆動能力を小さくすることによる出力反転動作開始時点の出力電流の変化率低減によりインダクタンス成分で誘導されるノイズを低減し、このとき、駆動能力の低減に伴う出力反転動作の遅延を、第1帰還制御トランジスタ及び第2帰還制御トランジスタで補償する。

【0012】上記出力バッファを有する半導体集積回路の具体的な機能は限定されず、例えば、中央処理装置 (14) と、バスアクセスを起動するバスステートコントローラ (19) と、外部とインタフェースされる入出力回路 (20) とを1個の半導体基板 (1) に備えたマイクロコンピュータであってもよく、その場合には、前

記出力バッファを前記入出力回路に含むことができる。

【0013】

【発明の実施の形態】図1には本発明に係る半導体集積回路に含まれる出力バッファの一例が示される。同図に示される出力バッファ2はバッファ回路部2Aと制御回路部2Bとを有し、半導体基板1に形成されている。バッファ回路部2Aは、プッシュ・プル動作されるpチャンネル型第1出力MOSトランジスタMP1及びnチャンネル型第2出力MOSトランジスタMN1から成る最終出力段CMOSインバータを有し、その出力は出力端子Pに結合される。最終出力段CMOSインバータの動作電源は電源電圧V<sub>dd</sub>とグランド電圧V<sub>ss</sub>である。図1においてpチャンネル型MOSトランジスタにはゲート電極に○印を付してnチャンネル型MOSトランジスタと区別している。MOSトランジスタMP7, MN7はMOSトランジスタMP1, MN1の入力ゲートを保護するために設けられている。

【0014】前記第1出力MOSトランジスタMP1のゲート電極には第1駆動インバータ3の出力端子が結合され、前記第2出力MOSトランジスタMP2のゲート電極には第2駆動インバータ4の出力端子が結合されている。第1駆動インバータ3はMOSトランジスタMP5, MP6の直列回路によって構成され、第2駆動インバータ4はMOSトランジスタMN5, MN6の直列回路によって構成される。前記出力MOSトランジスタMP1, MN1をプッシュ・プル動作させ、或いは選択的に高出力インピーダンス状態にするため、制御回路部2Bは、ノアゲート5、ナンドゲート6及びインバータ7を有する。第1駆動インバータ3はノアゲート5の出力信号とそれをインバータ8で反転させた信号によってプッシュプル動作が制御され、第2駆動インバータ4はナンドゲート6の出力信号とそれをインバータ9で反転させた信号によってプッシュプル動作が制御される。データ信号10は出力すべき論理値を有するデータである。制御信号11は論理値“0” (ローレベル) によって出力バッファ2のイネーブル (活性化) を指示し、論理値“1” (ハイレベル) によって出力バッファ2のディスエーブル (非活性化) を指示する。

【0015】制御信号11がハイレベルにされると、MOSトランジスタMP5がオン動作されてMOSトランジスタMP1がオフ状態にされ、且つ、MOSトランジスタMN6がオン動作されてMOSトランジスタMN1がオフ状態にされ、出力バッファ2は高出力インピーダンス状態にされる。制御信号11がローレベル、データ信号10がハイレベルのとき、MOSトランジスタMP5がオン動作されてMOSトランジスタMP1がオフ状態にされ、且つ、MOSトランジスタMN5がオン動作されてMOSトランジスタMN1がオン状態にされ、出力バッファ2はローレベルを出力する。制御信号11がローレベル、データ信号10がローレベルのときは、M

OSトランジスタMP 6がオン動作されてMOSトランジスタMP 1がオン状態にされ、且つ、MOSトランジスタMN 6がオン動作されてMOSトランジスタMN 1がオフ状態にされ、出力バッファ 2はハイレベルを出力する。

【0016】前記第1出力MOSトランジスタMP 1のゲート電極とグラウンド電圧 $V_{ss}$ との間には第1ゲートMOSトランジスタMN 2と第1帰還制御MOSトランジスタMN 3との直列回路が配置され、同様に、前記第2出力MOSトランジスタMN 1のゲート電極と電源電圧 $V_{dd}$ との間には第2ゲートMOSトランジスタMP 2と第2帰還制御MOSトランジスタMP 3との直列回路が配置されている。

【0017】前記MOSトランジスタMN 2のゲート電極はノアゲート5の出力に結合され、MOSトランジスタMN 3のゲート電極は出力端子Pに帰還接続されている。従って、MOSトランジスタMP 1のオン状態に同期してMOSトランジスタMN 2がオン状態にされ、これにより、MOSトランジスタMP 1のコンダクタンスが大きくなるにしたがって出力端子Pのレベルが電源電圧 $V_{dd}$ に近づいていくと、MOSトランジスタMN 3のコンダクタンスが大きくなり、これによって、第1出力MOSトランジスタMP 1のコンダクタンスが正帰還制御される。

【0018】前記MOSトランジスタMP 2のゲート電極はナンドゲート6の出力に結合され、MOSトランジスタMP 3のゲート電極は出力端子Pに帰還接続されている。従って、MOSトランジスタMN 1のオン状態に同期してMOSトランジスタMP 2がオン状態にされ、これにより、MOSトランジスタMN 1のコンダクタンスが大きくなるにしたがって出力端子Pのレベルがグラウンド電圧 $V_{ss}$ に近づいていくと、MOSトランジスタMP 3のコンダクタンスが大きくなり、これによって、第2出力MOSトランジスタMN 1のコンダクタンスが正帰還制御される。上記正帰還制御は、出力バッファ 2の出力反転動作の確定を早めるように作用する。

【0019】MOSトランジスタMN 4は、MOSトランジスタMP 1がオン状態にされるとき、MOSトランジスタMP 1のゲート電極をグラウンド電圧 $V_{ss}$ まで強制する。MOSトランジスタMP 4は、MOSトランジスタMN 1がオン状態にされるとき、MOSトランジスタMN 1のゲート電極を電源電圧 $V_{dd}$ まで強制する。

【0020】ここで、前記MOSトランジスタMP 5、MP 6 (MN 5、MN 6) で構成される駆動インバータ 3、4の駆動能力が大きければ、MOSトランジスタMP 1、MN 1によって構成される最終出力段インバータの反転動作速度は高速化される。その反面、出力反転動作における電流変化率が增大して、インダクタンス成分を介して誘導されるノイズが増大することになる。前記MOSトランジスタMP 1に対するMOSトランジスタ

MP 5、MP 6の夫々のサイズ比、MOSトランジスタMN 1に対するMOSトランジスタMN 5、MN 6の夫々のサイズ比は、例えば $1/10 \sim 1/20$ とされる。そのサイズ比は、本発明者が先に検討した出力バッファ、即ち、MOSトランジスタMN 2、MN 3 (MP 2、MP 3) を備えていない出力バッファ (以下単に比較例回路とも称する) に比べて小さい。換言すれば、前記比較例回路の駆動インバータに比べて図1の駆動インバータ 3、4の方が駆動能力が小さい。駆動能力が小さい分だけ、出力反転動作における電流変化率は比較例回路に比べて小さくされ、インダクタンス成分を介して誘導されるノイズも低減される。その一方で、出力バッファ 2の反転動作の確定が遅くなると予想されるが、実際には、前記正帰還制御MOSトランジスタMN 3、MP 3による上記正帰還制御によって出力バッファ 2の出力反転動作の確定が早められる。要するに、前記出力MOSトランジスタMP 1、MN 1の制御端子を駆動する駆動インバータ 3、4のトランジスタサイズ若しくは駆動能力を小さくして出力反転動作の開始時点における出力電流変化率を小さくし、これによって、インダクタンス成分で誘導されるノイズを低減し、このとき、駆動インバータ 3、4のトランジスタサイズ若しくは駆動能力の低減に伴う出力反転動作の遅延を、帰還制御MOSトランジスタMN 3、MP 3で補償する。

【0021】次に、上記出力バッファ 2の詳細な動作の一例を図2乃至図5を参照しながら説明する。ここでは、出力端子Pがローレベルからハイレベルに切り替えられるときの動作を一例として説明する。図2には図1のノードAの電位変化が前記比較例回路との対比で示されている。図3には図1のMOSトランジスタMP 1のドレイン電流の変化の様子が前記比較例回路との対比で示されている。図4には図1のMOSトランジスタMP 1のドレイン電流の変化率が前記比較例回路との対比で示されている。図5には出力端子Pの電位の変化が前記比較例回路との対比で示されている。図2乃至図4において、出力バッファの出力がローレベルからハイレベルに確定するまでの過渡応答期間を $T$ とすると、その前半を $0 \sim T/2$ 、後半を $T/2 \sim T$ とする。

【0022】前述の通り、比較例回路に比べて、出力バッファ 2は最終出力段を構成するMOSトランジスタMP 1、MN 1のゲート電圧の変化が緩やかにされる。駆動インバータ 3、4の駆動能力が比較例回路のそれに比べて小さくされているからである。したがって、図3の前半の特性に示されるように、MOSトランジスタMP 1のドレイン電流の変化は出力バッファ 2の方が小さくされる。したがって、MOSトランジスタMP 1のドレイン電流の変化率は図4に例示されるように出力バッファ回路 2のほう小さくされる。このようにドレイン電流の変化率が小さくされれば、インダクタンス成分を介して誘導されるノイズも低減される。



【0023】一方、図2の後半の特性に現れるように、出力バッファ回路2の場合には、前記正帰還制御MOSトランジスタMN3による上記正帰還制御により、動作の後半では、A点のノードは最後まで急峻に変化される。比較例回路の場合には緩慢になる。この時のドレイン電流の変化も同じであり、図3に例示されるように、出力バッファ2の場合には、動作の後半においても前半同様にドレイン電流が漸次増加している。したがって、出力バッファ2の場合、出力反転動作の前半におけるドレイン電流の変化が比較例回路より小さくても、後半部分での前記正帰還制御動作によって、出力バッファ2の出力反転動作が確定するまでの遅れを補償することができる。結果として、図5に例示されるように、出力バッファ2の出力反転動作の確定は比較例回路とほぼ同等に維持され、一方、図4に示されるように、電流変化率は著しく低減され、インダクタンス成分で誘導されるノイズについてはこれを低減することができる。図5の第2比較例回路は出力バッファ2において正帰還制御の構成を採用しない回路構成を想定しており、ノイズの発生は低減できても、出力反転動作の確定は著しく遅れている。

【0024】尚、出力バッファ2がハイレベルからローレベルに出力反転する場合も上記同様に作用する。その内容は、信号変化の極性が相違するだけであり、詳細な作用説明は省略する。

【0025】図6には前記出力バッファ2を適用したマイクロコンピュータのブロック図が示される。同図に示されるマイクロコンピュータ13は、単結晶シリコンなどの半導体基板に公知の半導体集積回路製造技術によって形成されている。マイクロコンピュータ13は、特に制限されないが、CPU（中央処理装置）14、キャッシュメモリ15、DMAC（ダイレクト・メモリ・アクセス・コントローラ）16、INTC（割込みコントローラ）17、FPU（浮動小数点演算ユニット）18、BSC（バスステートコントローラ）19、I/O（外部入出力回路）20、及び内部バス21を有する。CPU14は命令をフェッチし、フェッチした命令を解読して、内部の演算回路を用いた整数演算を行い、或いはFPU18による浮動小数点数演算を行い、また、それら演算に必要なオペランドのアクセス動作を行う。キャッシュメモリ15はCPU14が一旦アクセスした命令やデータを一時的に蓄えて、メモリアccess動作を高速化できるようにする。バスステートコントローラ19はキャッシュミスなどに応じて外部メモリアccessを行うとき、アクセス対象エリアなどに適合したバスサイクルを制御する。DMAC16はDMA転送要求に回答してCPU14に代わりバス件を取得してデータ転送制御を行う。割込みコントローラ17は割込み要求信号に対する優先制御やマスク制御を行う。外部入出力回路20は外部バスなどに接続されるI/Oポートを構成し、出力回

路又は入出力回路には図1で説明した出力バッファ2を備えている。

【0026】マイクロコンピュータ13は半導体基板に多数のボンディングパッドや金属パンプ電極を備え、それらはボンディングワイヤ、ビームリードなどに接続され、パッケージのピン若しくはリードに接続される。このようにしてパッケージングされたマイクロコンピュータにおいて、集積度の向上や高機能化若しくはシステムLSI化などの要請により半導体集積回路は多ピン化する傾向にあり、ピンの減少によってインダクタンス成分を減らす方向には限界がある。また、レイアウト上の制約などによって出力バッファの近傍に必ずしも電源ピンを配置できるとは限らない。ソケットなど誘導性のある部品を使用するか否かはシステムセットメーカの事情による。これら事情を考慮したとき、前記出力バッファ2を用いたマイクロコンピュータ13は、出力反転動作時の誘導性ノイズを確実に低減できる。言い換えれば、ノイズ抑制を目的として多数配置した電源ピンやグランドピンの一部を信号ピンに割当てすることも可能になり、ピン・ネックの解消にも寄与することができる。

【0027】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0028】例えば、出力バッファはCMOS回路に限定されない。最終出力段のプッシュ・プル回路はNチャンネル型MOSトランジスタによって構成してもよい。また、本発明に係る出力バッファは入出力バッファにおける出力バッファにも適用できることは言うまでもない。また、本発明に係る半導体集積回路はマイクロコンピュータに限定されず、通信用プロセッサ等その他の論理LSI、スタティックRAMやフラッシュメモリなどのメモリLSI、アナログLSI、アナログ・デジタル混載LSIなど種々の半導体集積回路に適用することができる。

【0029】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0030】すなわち、前記出力トランジスタの制御端子を駆動する駆動トランジスタのサイズ若しくは駆動能力を小さくして出力反転動作の開始時点における出力電流変化率を小さくし、電流変化率に比例して誘導されるノイズを低減し、このとき、駆動トランジスタのサイズ若しくは駆動能力の低減に伴う出力反転動作の遅延を、帰還制御トランジスタで補償するから、反転出力動作の高速化を阻害することなく、反転出力動作時の電流変化とインダクタンス成分とに起因して発生する誘導性ノイズを低減することができる。

【0031】出力反転動作時の誘導性ノイズを低減でき

るから、ノイズ抑制を目的として多数配置した電源ピンやグランドピンの一部を信号ピンに割当てることが可能になり、ピン・ネックの解消にも寄与することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路に含まれる出力バッファの一例を示す回路図である。

【図2】図1のノードAの電位変化を比較例回路との対比で示す特性図である。

【図3】図1のMOSトランジスタMP1のドレイン電流の変化の様子を比較例回路との対比で示す特性図である。

【図4】図1のMOSトランジスタMP1のドレイン電流の変化率を前記比較例回路との対比で示す特性図である。

【図5】出力端子Pの電位変化を前記比較例回路との対比で示す特性図である。

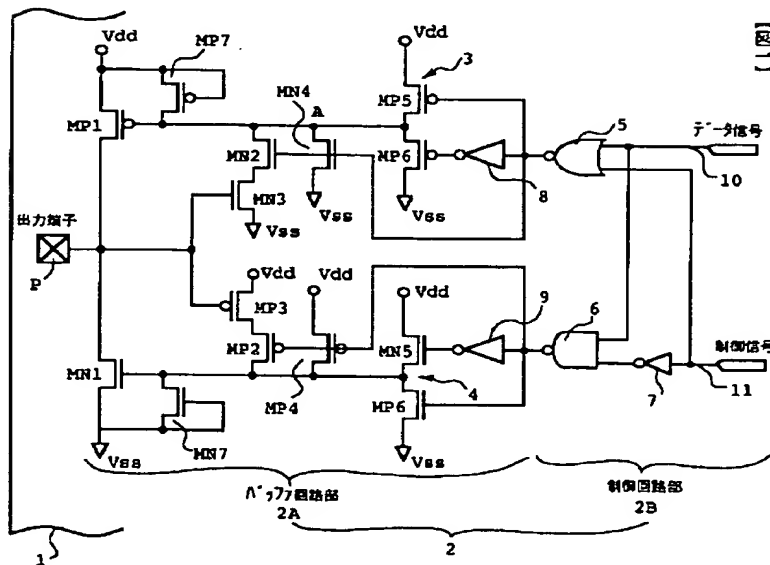
【図6】出力バッファを適用したマイクロコンピュータ

の一例を示すブロック図である。

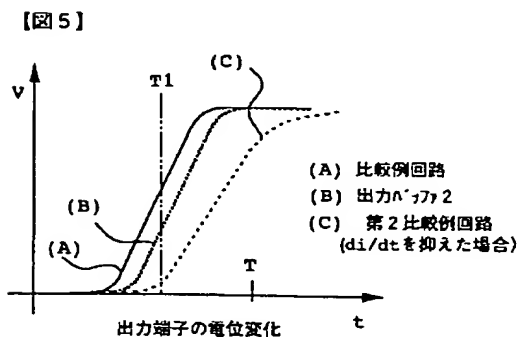
【符号の説明】

- 1 半導体基板
- 2 出力バッファ
- MP1 第1出力MOSトランジスタ
- MN1 第2出力MOSトランジスタ
- 3 第1駆動インバータ
- 4 第2駆動インバータ
- P 出力端子
- MN2 第1ゲートMOSトランジスタ
- MP2 第2ゲートMOSトランジスタ
- MN3 第1帰還制御MOSトランジスタ
- MP3 第2帰還制御MOSトランジスタ
- 13 マイクロコンピュータ
- 14 CPU
- 19 バスステートコントローラ
- 20 外部入出力回路

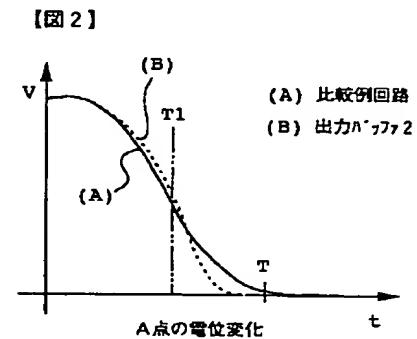
【図1】



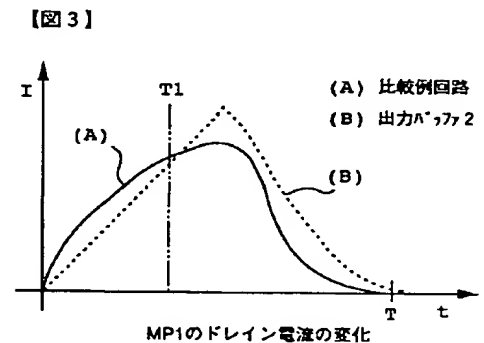
【図5】



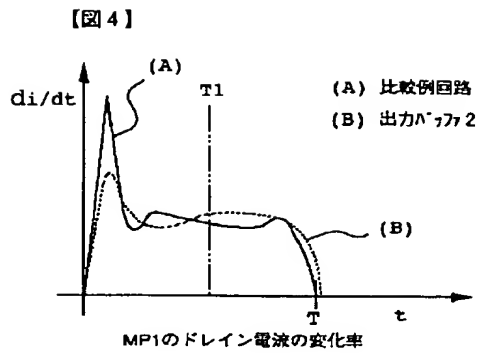
【図2】



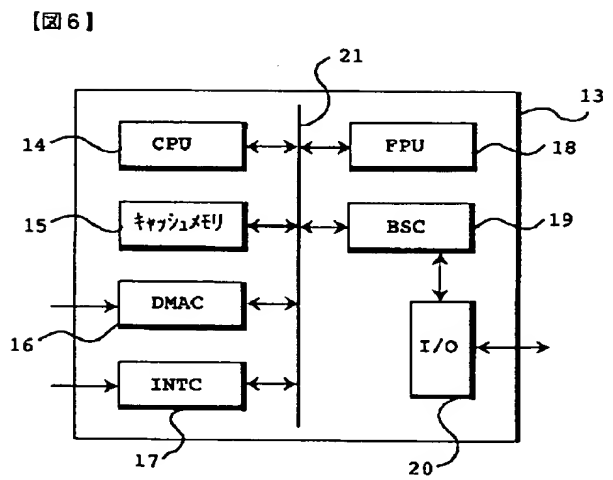
【図3】



【図4】



【図6】



フロントページの続き

(72)発明者 齊藤 弘  
東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

**THIS PAGE BLANK (USPTO)**